

Docket No.: R2180.0175/P175
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Takuo Mukai

Application No.: Not Yet Assigned

Filed: Concurrently Herewith

Art Unit: N/A

For: LEVEL SHIFT CIRCUIT

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-256960	September 2, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: August 27, 2003

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 5 6 9 6 0
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 5 6 9 6 0]

出 願 人 株 式 会 社 リ コ ー
Applicant(s):

2 0 0 3 年 7 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 0 7 9

【書類名】 特許願

【整理番号】 185111

【提出日】 平成14年 9月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/02

【発明の名称】 レベルシフト回路

【請求項の数】 4

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 向井 琢雄

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベルシフト回路

【特許請求の範囲】

【請求項 1】 第 1 電源電圧で動作する第 1 論理回路から出力された信号をレベルシフトして、第 2 電源電圧で動作する第 2 論理回路へ出力するレベルシフト回路において、

前記第 1 論理回路から出力された信号の入力制御を行う、第 1 のスイッチング素子及び第 2 のスイッチング素子が直列に接続されてなるスイッチング回路部と

、
前記第 1 電源電圧の電圧に応じて前記第 1 のスイッチング素子の動作制御を行う、前記第 1 電源電圧を電源として作動する第 1 制御回路部と、

前記第 2 電源電圧の電圧に応じて前記第 2 のスイッチング素子の動作制御を行う、前記第 2 電源電圧を電源として作動する第 2 制御回路部と、

前記スイッチング回路部を介して入力された前記第 1 論理回路からの信号の振幅を前記第 2 電源電圧にレベルシフトすると共に、該レベルシフトした信号の信号レベルをラッチして前記第 2 論理回路に出力する、前記第 2 電源電圧を電源として作動するラッチ回路部と、

を備え、

前記第 1 制御回路部は、前記第 1 電源電圧が、あらかじめ設定された第 1 の所定値以下になると前記第 1 のスイッチング素子をオフさせると共に、前記第 1 電源電圧が該第 1 の所定値を超えている場合は前記第 1 のスイッチング素子をオンさせ、前記第 2 制御回路部は、前記第 2 電源電圧が、あらかじめ設定された第 2 の所定値以下になると前記第 2 のスイッチング素子をオフさせると共に、前記第 2 電源電圧が該第 2 の所定値を超えている場合は前記第 2 のスイッチング素子をオンさせて、前記第 1 論理回路から入力された信号を前記ラッチ回路部に出力させることを特徴とするレベルシフト回路。

【請求項 2】 第 1 電源電圧で動作する第 1 論理回路から出力された信号をレベルシフトして、第 2 電源電圧で動作する第 2 論理回路へ出力するレベルシフト回路において、

前記第 1 論理回路から出力された信号の入力制御を行う、第 1 のスイッチング素子及び第 2 のスイッチング素子が直列に接続されてなるスイッチング回路部と

、
前記第 1 電源電圧の電圧に応じて前記第 1 のスイッチング素子の動作制御を行う、前記第 1 電源電圧を電源として作動する第 1 制御回路部と、

前記スイッチング回路部を介して入力された前記第 1 論理回路からの信号の振幅を前記第 2 電源電圧にレベルシフトすると共に、該レベルシフトした信号の信号レベルをラッチして前記第 2 論理回路に出力する、前記第 2 電源電圧を電源として作動するラッチ回路部と、

を備え、

前記第 1 制御回路部は、前記第 1 電源電圧が、あらかじめ設定された第 1 の所定値以下になると前記第 1 のスイッチング素子をオフさせると共に、前記第 1 電源電圧が該第 1 の所定値を超えている場合は前記第 1 のスイッチング素子をオンさせ、前記第 2 のスイッチング素子は、MOS トランジスタからなり、該 MOS トランジスタのゲートが前記第 2 電源電圧に接続されることを特徴とするレベルシフト回路。

【請求項 3】 前記第 1 電源電圧の電圧に応じて前記ラッチ回路部の動作制御を行う、第 2 電源電圧を電源として作動するラッチ制御回路部を備え、該ラッチ制御回路部は、前記第 1 電源電圧が、あらかじめ設定された前記第 1 の所定値以下になると、前記ラッチ回路部に対して所定の信号を出力させることを特徴とする請求項 1 又は 2 記載のレベルシフト回路。

【請求項 4】 前記ラッチ制御回路部は、第 1 電源電圧が前記第 1 の所定値を超えている場合は、前記ラッチ回路部に対して、スイッチング回路部を介して入力された前記第 1 論理回路からの信号の振幅を前記第 2 電源電圧にレベルシフトして出力させることを特徴とする請求項 3 記載のレベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、異なる電源電圧で作動する 2 つの論理回路ブロック間のインタフェ

ースを行うレベルシフト回路に関し、特に、LSI等のシングルチップIC内の回路ブロックごとに電源のオン／オフを行うパワーマネジメント制御が行われる論理回路ブロック間のインタフェースを行うレベルシフト回路に関する。

【0002】

【従来の技術】

近年、LSIの微細化によって集積度が向上してきており、多数の回路を1チップに収められるようになってきている。このようなLSIでは、低消費電力化を図るために回路ブロックごとに電源系を分け、各回路ブロックごとに最適な電圧の電源を供給すると共に、必要な回路にのみ電源を供給するパワーマネジメントを実施していた。このようなことから、異なる電源系の回路ブロック間での信号の授受を行う場合、レベルシフト回路が使用されていた。

【0003】

図3は、従来のレベルシフト回路の例を示した図である。

図3におけるレベルシフト回路100は、第1電源電圧Vdd1を電源とする第1論理回路101からの論理信号をレベルシフトさせて、第1電源電圧Vdd1よりも大きい第2電源電圧Vdd2を電源とする第2論理回路102に出力するものである。

レベルシフト回路100は、Nチャネル型MOSトランジスタからなるスイッチング素子SWaと、ラッチ回路111と、第1電源電圧Vdd1の電圧値に応じてスイッチング素子SWaの動作制御を行う第1制御回路112と、第1電源電圧Vdd1の電圧値に応じてラッチ回路111の動作制御を行うラッチ制御回路113とで構成されている。

【0004】

このような構成において、例えば、第1電源電圧Vdd1を1.5V、第2電源電圧Vdd2を3.0V、スイッチング素子SWaのしきい値電圧を0.5Vとした場合において、第1電源電圧Vdd1が所定値 α を超えている場合について説明する。

レベルシフト回路100の入力端子SINに1.5Vのハイ(High)レベルの信号が入力されると、スイッチング素子SWaのゲートには第1制御回路1

1 2 から 1.5 V のハイレベルの制御信号 S a B が入力されることから、スイッチング素子 S W a はオンする。

【0 0 0 5】

スイッチング素子 S W a がオンして、ラッチ回路 1 1 1 における N A N D 回路 1 2 1 の一方の入力端には、第 1 電源電圧 V d d 1 の 1.5 V からスイッチング素子 S W a のしきい値電圧の 0.5 V だけ低下した 1.0 V の電圧が印加される。インバータ 1 2 2 の出力回路（図示せず）の電流駆動能力を、第 1 論理回路 1 0 1 の出力回路（図示せず）の電流駆動能力よりも小さくしておくことによって、N A N D 回路 1 2 1 の前記入力端の電圧を約 1.0 V まで上昇させることができる。

【0 0 0 6】

ここで、N A N D 回路 1 2 1 のしきい値電圧を 1.0 V 以下に設定しておくことによって、N A N D 回路 1 2 1 の出力端はロー（L o w）レベル（= 0 V）になり、インバータ 1 2 3 によって出力端子 O U T に 3.0 V のハイレベルの信号が出力される。同時に、N A N D 回路 1 2 1 の前記入力端には、インバータ 1 2 2 を介して 3.0 V のハイレベルの信号が入力される。インバータ 1 2 2 の出力回路の電流駆動能力は小さいが、インバータ 1 2 2 は、スイッチング素子 S W a のソース電圧を 1.0 V から更に上昇させるように動作する。また、スイッチング素子 S W a のゲート電圧は 1.5 V であることから、スイッチング素子 S W a は、オフ状態に移行する。

【0 0 0 7】

スイッチング素子 S W a がオフ状態に移行するにしたがって、スイッチング素子 S W a のソース電圧は、更に上昇して最終的にはインバータ 1 2 2 の出力電圧である 3.0 V まで上昇し、スイッチング素子 S W a は完全にオフした状態になる。この結果、第 1 電源電圧 V d d 1 よりも電圧が大きい第 2 電源電圧 V d d 2 で作動している第 2 論理回路 1 0 2 から、第 2 電源電圧 V d d 2 よりも小さい電圧の第 1 電源電圧 V d d 1 で作動している第 1 論理回路 1 0 1 へ電流が流れ込むことを防止することができる。

【0 0 0 8】

次に、入力端子S I Nにローレベルの信号($=0\text{ V}$)が入力されると、スイッチング素子S W aのゲートには 1.5 V のハイレベルの制御信号S a Bが入力されることから、スイッチング素子S W aはオンして導通状態になり、入力端子S I Nに入力されたローレベルの信号($=0\text{ V}$)は、スイッチング素子S W aを介してラッチ回路1 1 1におけるNAND回路1 2 1の一方の入力端に出力される。インバータ1 2 2の出力回路の電流駆動能力を、第1論理回路1 0 1の出力回路の電流駆動能力に比べて小さくしておくことによって、NAND回路1 2 1の前記入力端の電圧を 1.0 V 以下まで低下させることができる。

【0009】

このため、NAND回路1 2 1の出力端は、 3.0 V のハイレベルになり、インバータ1 2 3によって出力端子O U Tにローレベルの信号が出力される。このとき、スイッチング素子S W aが接続されているNAND回路1 2 1の入力端には、インバータ1 2 2からローレベルの信号が入力される。このような状態では、スイッチング素子S W aは、オンしている状態であるがソース及びドレインの各電圧が共に 0 V であるため、入力端子S I Nを介して第1論理回路1 0 1に電流が流れ込むことはない。

【0010】

次に、第1電源電圧V d d 1が所定値 α 以下になると、第1制御回路1 1 2からローレベルの制御信号S a Bが出力されると共に、ラッチ制御回路1 1 3からローレベルの制御信号S b Bが出力される。このことから、スイッチング素子S W aはオフして遮断状態になると共に、NAND回路1 2 1の出力端はハイレベル($=3.0\text{ V}$)になり、インバータ1 2 3によって、出力端子O U Tにローレベルの信号が出力される。

【0011】

【発明が解決しようとする課題】

しかし、図3で示したようなレベルシフト回路では、入力端子S I Nに信号を出力する第1論理回路1 0 1に供給されている第1電源電圧V d d 1が、信号が入力される第2論理回路1 0 2に供給されている第2電源電圧V d d 2よりも小さい場合にのみ使用することができ、第1電源電圧V d d 1が第2電源電圧V d

d2 よりも大きい場合には使用することができなかった。

【0012】

本発明は、上記のような問題を解決するためになされたものであり、信号を出力する第1論理回路の第1電源電圧が、該信号が入力される第2論理回路の第2電源電圧よりも小さい場合でも、信号を出力する第1論理回路の第1電源電圧が、該信号が入力される第2論理回路の第2電源電圧よりも大きい場合のいずれにおいても使用することができるレベルシフト回路を得ることを目的とする。

【0013】

【課題を解決するための手段】

この発明に係るレベルシフト回路は、第1電源電圧で動作する第1論理回路から出力された信号をレベルシフトして、第2電源電圧で動作する第2論理回路へ出力するレベルシフト回路において、

前記第1論理回路から出力された信号の入力制御を行う、第1のスイッチング素子及び第2のスイッチング素子が直列に接続されてなるスイッチング回路部と

、

前記第1電源電圧の電圧に応じて前記第1のスイッチング素子の動作制御を行う、前記第1電源電圧を電源として作動する第1制御回路部と、

前記第2電源電圧の電圧に応じて前記第2のスイッチング素子の動作制御を行う、前記第2電源電圧を電源として作動する第2制御回路部と、

前記スイッチング回路部を介して入力された前記第1論理回路からの信号の振幅を前記第2電源電圧にレベルシフトすると共に、該レベルシフトした信号の信号レベルをラッチして前記第2論理回路に出力する、前記第2電源電圧を電源として作動するラッチ回路部と、

を備え、

前記第1制御回路部は、前記第1電源電圧が、あらかじめ設定された第1の所定値以下になると前記第1のスイッチング素子をオフさせると共に、前記第1電源電圧が該第1の所定値を超えている場合は前記第1のスイッチング素子をオンさせ、前記第2制御回路部は、前記第2電源電圧が、あらかじめ設定された第2の所定値以下になると前記第2のスイッチング素子をオフさせると共に、前記第

2 電源電圧が該第 2 の所定値を超えている場合は前記第 2 のスイッチング素子をオンさせて、前記第 1 論理回路から入力された信号を前記ラッチ回路部に出力させるものである。

【0014】

また、この発明に係るレベルシフト回路は、第 1 電源電圧で動作する第 1 論理回路から出力された信号をレベルシフトして、第 2 電源電圧で動作する第 2 論理回路へ出力するレベルシフト回路において、

前記第 1 論理回路から出力された信号の入力制御を行う、第 1 のスイッチング素子及び第 2 のスイッチング素子が直列に接続されてなるスイッチング回路部と

、

前記第 1 電源電圧の電圧に応じて前記第 1 のスイッチング素子の動作制御を行う、前記第 1 電源電圧を電源として作動する第 1 制御回路部と、

前記スイッチング回路部を介して入力された前記第 1 論理回路からの信号の振幅を前記第 2 電源電圧にレベルシフトすると共に、該レベルシフトした信号の信号レベルをラッチして前記第 2 論理回路に出力する、前記第 2 電源電圧を電源として作動するラッチ回路部と、

を備え、

前記第 1 制御回路部は、前記第 1 電源電圧が、あらかじめ設定された第 1 の所定値以下になると前記第 1 のスイッチング素子をオフさせると共に、前記第 1 電源電圧が該第 1 の所定値を超えている場合は前記第 1 のスイッチング素子をオンさせ、前記第 2 のスイッチング素子は、MOS トランジスタからなり、該 MOS トランジスタのゲートが前記第 2 電源電圧に接続されるものである。

【0015】

また、前記第 1 電源電圧の電圧に応じて前記ラッチ回路部の動作制御を行う、第 2 電源電圧を電源として作動するラッチ制御回路部を備え、該ラッチ制御回路部は、前記第 1 電源電圧が、あらかじめ設定された前記第 1 の所定値以下になると、前記ラッチ回路部に対して所定の信号を出力させるようにしてもよい。

【0016】

具体的には、前記ラッチ制御回路部は、第 1 電源電圧が前記第 1 の所定値を超

えている場合は、前記ラッチ回路部に対して、スイッチング回路部を介して入力された前記第1論理回路からの信号の振幅を前記第2電源電圧にレベルシフトして出力させるようにした。

【0017】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態.

図1は、本発明の第1の実施の形態におけるレベルシフト回路の例を示した図である。

図1において、レベルシフト回路1は、所定の第1電源電圧 V_{dd1} を電源とする第1論理回路2から入力端子 SIN に入力された論理信号をレベルシフトさせて、出力端子 OUT から、第1電源電圧 V_{dd1} と異なる電圧値である所定の第2電源電圧 V_{dd2} を電源とする第2論理回路3に出力する回路である。

【0018】

レベルシフト回路1は、Nチャネル型MOSトランジスタからなる第1のスイッチング素子 $SW1$ と、同じくNチャネル型MOSトランジスタからなる第2のスイッチング素子 $SW2$ と、第1電源電圧 V_{dd1} の電圧値に応じて第1のスイッチング素子 $SW1$ の動作制御を行う第1制御回路11と、第2電源電圧 V_{dd2} の電圧値に応じて第2のスイッチング素子 $SW2$ の動作制御を行う第2制御回路12と、ラッチ回路13と、第1電源電圧 V_{dd1} の電圧値に応じてラッチ回路13の動作制御を行うラッチ制御回路14とを備えている。なお、第1及び第2の各スイッチング素子 $SW1$ 、 $SW2$ はスイッチング回路部をなす。第1論理回路2及び第1制御回路11は、第1電源電圧 V_{dd1} を電源として作動し、第2論理回路2、第2制御回路12、ラッチ回路13及びラッチ制御回路14は、それぞれ第2電源電圧 V_{dd2} を電源として作動する。

【0019】

ラッチ回路13は、第2電源電圧 V_{dd2} を電源として作動する、NAND回路21及びインバータ22、23で構成されている。入力端子 SIN とNAND回路21の一方の入力端 $IN1$ との間には、第1のスイッチング素子 $SW1$ 及び

第2のスイッチング素子SW2が直列に接続され、第1のスイッチング素子SW1と第2のスイッチング素子SW2との接続部をAとする。また、第1のスイッチング素子SW1及び第2のスイッチング素子SW2の各サブストレートゲートはそれぞれ接地電圧に接続されている。

【0020】

第1制御回路11は、第1電源電圧Vdd1があらかじめ設定された所定値 α 以下になるとローレベルの制御信号S1Bを第1のスイッチング素子SW1のゲートに出力し、第1電源電圧Vdd1が所定値 α を超えるとハイレベルの制御信号S1Bを第1のスイッチング素子SW1のゲートに出力する。第2制御回路12は、第2電源電圧Vdd2があらかじめ設定された所定値 β 以下になるとローレベルの制御信号S3Bを第2のスイッチング素子SW2のゲートに出力し、第2電源電圧Vdd2が所定値 β を超えるとハイレベルの制御信号S3Bを第2のスイッチング素子SW2のゲートに出力する。なお、所定値 α は第1の所定値をなし、所定値 β は第2の所定値をなす。

【0021】

ラッチ制御回路14は、入力された第1電源電圧Vdd1の電圧に応じた制御信号S2Bを生成してNAND回路21の他方の入力端IN2に出力する。NAND回路21の出力端は、インバータ22を介してNAND回路21の入力端IN1に接続されると共に、インバータ23を介して出力端子OUTに接続されている。

【0022】

このような構成において、第1電源電圧Vdd1が1.5V、第2電源電圧Vdd2が3.0V、第1のスイッチング素子SW1及び第2のスイッチング素子SW2の各しきい値電圧をそれぞれ0.5Vである場合を例にして、レベルシフト回路1の動作について説明する。

まず、第1電源電圧Vdd1が所定値 α を超えると共に第2電源電圧Vdd2が所定値 β を超え、第1論理回路2から入力端子SINに1.5Vのハイレベルの信号が入力された場合について説明する。

【0023】

このような状態では、第1制御回路11からハイレベルの制御信号S1Bが出力されると共に、第2制御回路12からハイレベルの制御信号S3Bが出力され、第1のスイッチング素子SW1及び第2のスイッチング素子SW2はそれぞれオンしている。このため、接続部Aの電圧は、第1のスイッチング素子SW1のゲート電圧から第1のスイッチング素子SW1のしきい値電圧である0.5Vだけ低下した1.0Vになる。第2のスイッチング素子SW2のゲート電圧は3.0Vであるから、第2のスイッチング素子SW2は、接続部Aの電圧をそのままラッチ回路13におけるNAND回路21の入力端IN1に出力する。インバータ22における出力回路（図示せず）の電流駆動能力を、第1論理回路2における出力回路（図示せず）の電流駆動能力よりも小さくしておくことで、NAND回路21における入力端IN1の電圧を約1.0Vまで上昇させることができる。

【0024】

ここで、NAND回路21のしきい値電圧を1.0V以下に設定しておくことによって、NAND回路21の出力端はローレベル(=0V)になり、インバータ23から出力端子OUTに3.0Vのハイレベルの信号が出力される。また、NAND回路21の出力端がローレベルになるとインバータ22によってNAND回路21の入力端IN1が3.0Vのハイレベルになる。すると、第2のスイッチング素子SW2は、ソースとドレインが入れ替わった状態でオンし、接続部Aの電圧を2.5Vまで上昇させる。このため、第1のスイッチング素子SW1がオフし、入力端子SINを介して第1論理回路2に電流が流れ込むのを防止することができる。

【0025】

次に、第1電源電圧Vdd1が所定値 α を超えると共に第2電源電圧Vdd2が所定値 β を超え、第1論理回路2から入力端子SINにローレベルの信号(=0V)が入力された場合について説明する。

この場合、第2のスイッチング素子SW2は常にオンして導通状態のままとなる。第1のスイッチング素子SW1のゲートには1.5Vのハイレベルの制御信号S1Bが入力されることから、第1のスイッチング素子SW1はオンして導通状態になり、入力端子SINに入力されたローレベルの信号は、第1のスイッ

ング素子SW1及び第2のスイッチング素子SW2を介してラッチ回路13におけるNAND回路21の入力端IN1に出力される。インバータ22における出力回路の電流駆動能力を、第1論理回路2の出力回路のドライブ能力よりも小さくしてあることから、NAND回路21の入力端IN1の電圧を1.0V以下まで低下させることができる。

【0026】

このため、NAND回路21の出力端は、3.0Vのハイレベルになり、インバータ23によって出力端子OUTにローレベルの信号が出力される。このとき、第2のスイッチング素子SW2を介して第1のスイッチング素子SW1が接続されているNAND回路21の入力端IN1には、インバータ22からローレベルの信号が入力される。このような状態では、第1のスイッチング素子SW1は、オンしている状態であるがソース及びドレインの各電圧が共に0Vであるため、入力端子SINを介して第1論理回路2に電流が流れ込むことはない。

【0027】

次に、第1電源電圧Vdd1が所定値 α を超え、第2電源電圧Vdd2が所定値 β 以下の場合は、第2論理回路3への電源が供給されず、第2論理回路3が作動していない状態である。第2制御回路12からの制御信号S3Bがローレベルになり、第2のスイッチング素子SW2を常にオフさせるため、第1論理回路2から第2論理回路3への無駄な電流の流れ込みを防止することができる。

【0028】

また、第1電源電圧Vdd1が所定値 α 以下で、第2電源電圧Vdd2が所定値 β を超える場合は、第1論理回路2への電源が供給されず、第1論理回路2が作動していない状態である。第1制御回路11からの制御信号S1Bがローレベルになり、第1のスイッチング素子SW1を常にオフさせるため、第2論理回路3から第1論理回路2への無駄な電流の流れ込みを防止することができる。

【0029】

次に、第1電源電圧Vdd1が3.0V、第2電源電圧Vdd2が1.5V、第1のスイッチング素子SW1及び第2のスイッチング素子SW2の各しきい値電圧をそれぞれ0.5Vである場合を例にして、レベルシフト回路1の動作につい

て説明する。なお、この場合の所定値 α 及び β は、前記所定値 α 及び β とは異なる値、例えば前記所定値 α と β との値を入れ替えた値になる。

第1電源電圧 V_{dd1} が所定値 α を、第2電源電圧 V_{dd2} が所定値 β をそれぞれ超えており、入力端子 S_{IN} に 3.0 V のハイレベルの信号が入力されると、第1のスイッチング素子 $SW1$ のゲートにはハイレベル(= 3.0 V)の制御信号 $S1B$ が入力され、第1のスイッチング素子 $SW1$ はオンする。同時に、第2のスイッチング素子 $SW2$ のゲートにはハイレベル(= 1.5 V)の制御信号 $S3B$ が入力され、第2のスイッチング素子 $SW2$ もオンする。

【0030】

第1のスイッチング素子 $SW1$ 及び第2のスイッチング素子 $SW2$ が共にオンすることから、入力端子 S_{IN} に入力された信号は、第2電源電圧 V_{dd2} の電圧から第2のスイッチング素子 $SW2$ におけるしきい値電圧の 0.5 V だけ低下した 1.0 V になって、NAND回路 21 の入力端 $IN1$ に入力される。ここで、インバータ 22 における出力回路の電流駆動能力を、第1論理回路 2 における出力回路の電流駆動能力よりも小さくすることによって、NAND回路 21 の入力端 $IN1$ の電圧を約 1.0 V まで上昇させることができる。また、NAND回路 21 のしきい値を 1.0 V 以下に設定しておくことによって、NAND回路 21 の出力端はローレベル(= 0 V)になり、インバータ 23 から出力端子 OUT へ 1.5 V のハイレベルの信号が出力される。

【0031】

更に、インバータ 22 によって、NAND回路 21 の入力端 $IN1$ は 1.5 V まで引き上げられることから、第2のスイッチング素子 $SW2$ においてソース電圧がゲート電圧と等しくなり、その結果第2のスイッチング素子 $SW2$ はオフし、高電源電圧側の第1論理回路 2 から低電源電圧側の第2論理回路 3 に無駄な電流が流れ込むことを防止することができる。

【0032】

次に、第1電源電圧 V_{dd1} が所定値 α を、第2電源電圧 V_{dd2} が所定値 β をそれぞれ超えており、入力端子 S_{IN} にローレベル(= 0 V)の信号が入力された場合について説明する。

この場合、第1のスイッチング素子SW1のゲートにはハイレベル(=3.0V)の制御信号S1Bが入力され、第1のスイッチング素子SW1はオンする。同時に、第2のスイッチング素子SW2のゲートにはハイレベル(=1.5V)の制御信号S3Bが入力され、第2のスイッチング素子SW2もオンする。第1のスイッチング素子SW1及び第2のスイッチング素子SW2が共にオンすることから、入力端子SINに入力された信号はNAND回路21の入力端IN1に出力される。

【0033】

インバータ22における出力回路の電流駆動能力は、第1論理回路2における出力回路の電流駆動能力よりも小さいため、NAND回路21の入力端IN1の電圧を1.0V以下まで低下させることができる。このことから、NAND回路(21の出力端は、1.5Vのハイレベルとなり、インバータ23から出力端子OUTへローレベルの信号が出力される。このとき、NAND回路21の入力端IN1には、インバータ22を介してローレベルの信号が入力される。なお、第1のスイッチング素子SW1及び第2のスイッチング素子SW2は共にオンしたままであるが、第1のスイッチング素子SW1と第2のスイッチング素子SW2の直列回路における両端電圧は共に0Vであるため、入力端子SINからの電流の流れ込みは発生しない。

【0034】

一方、図1では、第2制御回路12を使用した。図2で示すように、第2制御回路12を削除し、第2のスイッチング素子SW2のゲートに第2電源電圧Vdd2を入力するようにしてもよい。この場合、前記所定値 β は第2のスイッチング素子SW2のしきい値電圧になり、第2電源電圧Vdd2が第2のスイッチング素子SW2のしきい値電圧以上であれば、第2のスイッチング素子SW2はオンする。図2のレベルシフト回路1aの動作は、図1のレベルシフト回路1において、図1の第2制御回路12に設定された所定値 β を第2のスイッチング素子SW2のしきい値電圧に設定した場合と同じであることから、その動作説明を省略する。

【0035】

このように、本第1の実施の形態におけるレベルシフト回路は、第1制御回路11によって、第1電源電圧Vdd1があらかじめ設定された所定値 α 以下になると第1のスイッチング素子SW1をオフすると共に、第1電源電圧Vdd1が所定値 α を超えている場合は第1のスイッチング素子SW1をオンし、第2電源電圧Vdd2があらかじめ設定された所定値 β 以下になると第2のスイッチング素子SW2をオフすると共に、第2電源電圧Vdd2が所定値 β を超えている場合は第2のスイッチング素子SW2をオンして、入力端子SINに入力された信号をラッチ回路13でレベルシフトさせて出力端子OUTに出力させるようにした。このことから、信号の入出力を行う論理回路同士の電源電圧の大小を考慮する必要がなくなり、より精細なパワーマネジメント制御が可能となって、更に一層省電力化を図ることができる。

【0036】

【発明の効果】

上記の説明から明らかなように、本発明のレベルシフト回路によれば、第2の電源電圧に応じてオン／オフ動作が行われる第2のスイッチング素子を第1のスイッチング素子に直列に接続して設けたことにより、信号の入出力を行う論理回路同士の電源電圧の大小を考慮する必要がなくなり、より精細なパワーマネジメント制御が可能となって、更に一層省電力化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態におけるレベルシフト回路の例を示した図である。

【図2】 本発明の第1の実施の形態におけるレベルシフト回路の他の例を示した図である。

【図3】 レベルシフト回路の従来例を示した図である。

【符号の説明】

- 1, 1a レベルシフト回路
- 2 第1論理回路
- 3 第2論理回路
- 11 第1制御回路

1 2 第 2 制御回路

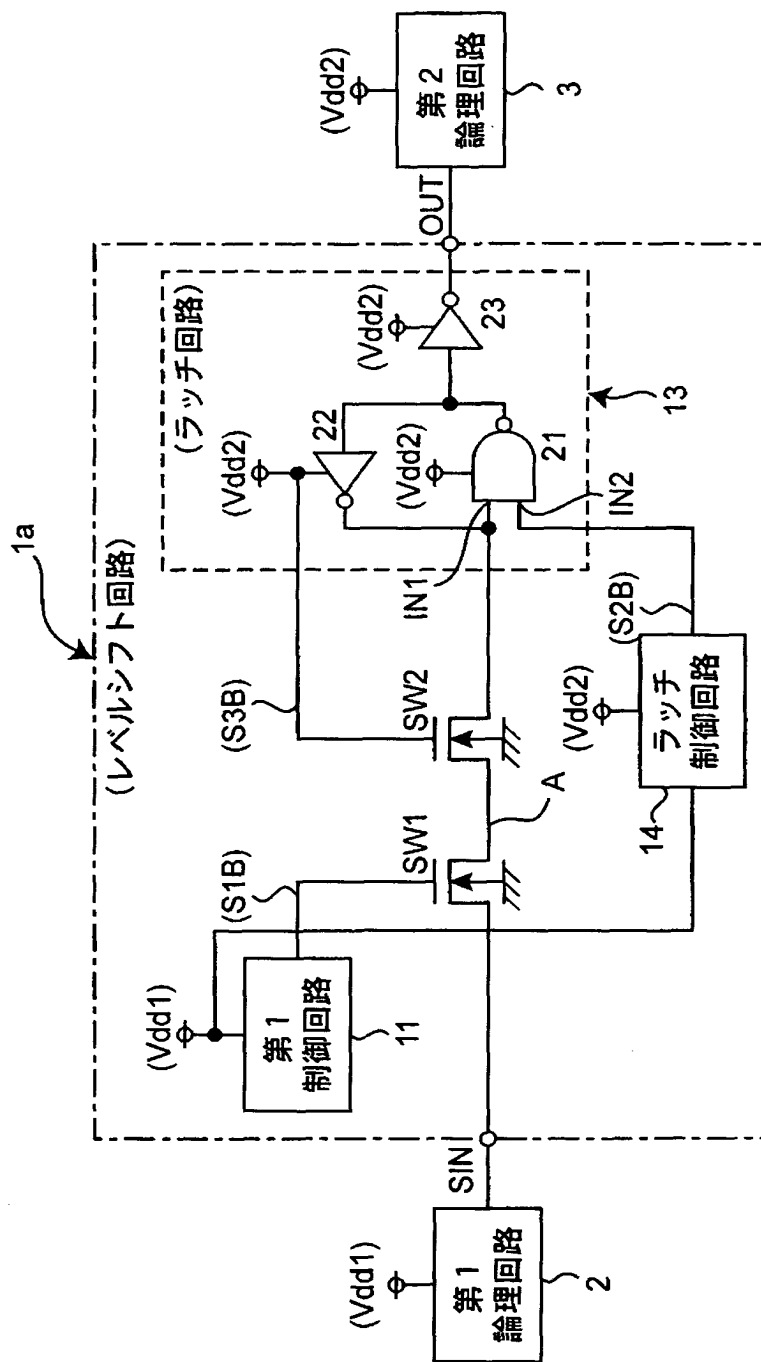
1 3 ラッチ回路

1 4 ラッチ制御回路

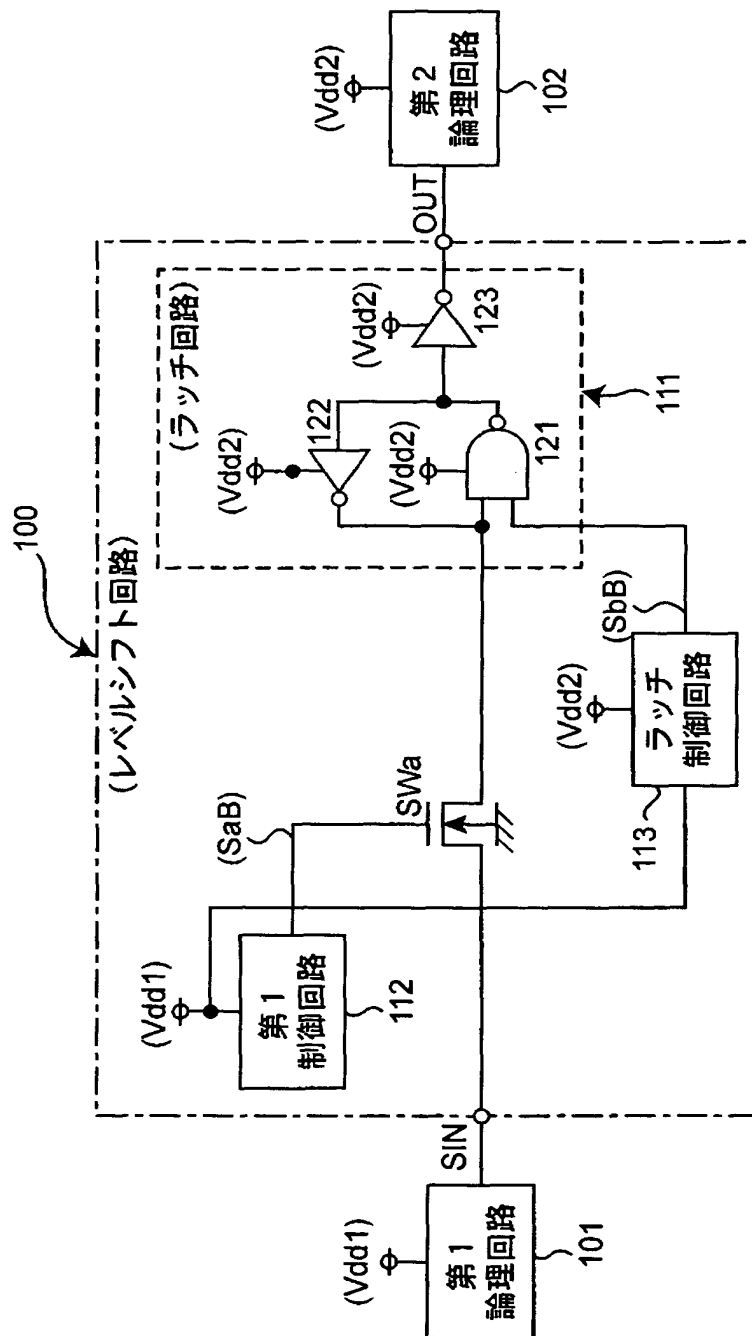
SW 1 第 1 のスイッチング素子

SW 2 第 2 のスイッチング素子

【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 信号を出力する第 1 論理回路の第 1 電源電圧と、該信号が入力される第 2 論理回路の第 2 電源電圧との大小に関係なく使用することができるレベルシフト回路を得る。

【解決手段】 第 1 制御回路 1 1 によって、第 1 電源電圧 V_{dd1} があらかじめ設定された所定値 α 以下になると第 1 のスイッチング素子 $SW1$ をオフすると共に、第 1 電源電圧 V_{dd1} が所定値 α を超えている場合は第 1 のスイッチング素子 $SW1$ をオンし、第 2 制御回路 1 2 によって、第 2 電源電圧 V_{dd2} があらかじめ設定された所定値 β 以下になると第 2 のスイッチング素子 $SW2$ をオフすると共に、第 2 電源電圧 V_{dd2} が所定値 β を超えている場合は第 2 のスイッチング素子 $SW2$ をオンして、入力端子 SIN に入力された信号をラッチ回路 1 3 でレベルシフトさせて出力端子 OUT に出力させるようにした。

【選択図】 図 1

特願 2 0 0 2 - 2 5 6 9 6 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 7 4 7]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都大田区中馬込 1 丁目 3 番 6 号
氏 名 株式会社リコー
2. 変更年月日 2 0 0 2 年 5 月 1 7 日
[変更理由] 住所変更
住 所 東京都大田区中馬込 1 丁目 3 番 6 号
氏 名 株式会社リコー